



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Satoru YAMADA, et al. **Examiner:** Unassigned
Serial No.: 10/648,883 **Group Art Unit:** 2811
Filed: August 27, 2003 **Docket:** 16995
For: SEMICONDUCTOR DEVICE AND **Dated:** April 21, 2004
METHOD OF PRODUCING THE SAME

Confirmation No. 4882


Commissioner for Patents
P. O. Box 1450
Alexandria, VA 223131450

CLAIM OF PRIORITY

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. §119 and in support thereof submit herewith a certified copy of Japanese Patent Application No. 2002-246287 filed on August 27, 2002.

Respectfully submitted,


Paul J. Esatto, Jr
Reg. No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:ae

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450 on April 21, 2004.

Dated: April 21, 2004


Paul J. Esatto, Jr.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 4 6 2 8 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 4 6 2 8 7]

出 願 人 エルピーダメモリ株式会社
Applicant(s): 株式会社日立製作所

2 0 0 3 年 9 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 22310115

【提出日】 平成14年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/44

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内

【氏名】 山田 悟

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内

【氏名】 永井 亮

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内

【氏名】 大湯 静憲

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内

【氏名】 中邑 良一

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目6番地 株式会社日立
製作所内

【氏名】 高浦 則克

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 3 水準以上のフェルミレベルのポリシリコンからなるゲート電極構造の半導体装置において、

最もフェルミレベルの低い P 型ポリシリコンを第 1 の N 型表面チャネル MOS トランジスタに、最もフェルミレベルの高い N 型ポリシリコンを第 2 の N 型表面チャネル MOS トランジスタに、上記の中間のフェルミレベルを有し、かつ N 型不純物と P 型不純物との両方をドーピングした N 型ポリシリコンを P チャネル MOS トランジスタにそれぞれ配置したことを特徴とした半導体装置。

【請求項 2】 前記ゲート電極構造と基板の導電型との組み合わせで、周辺回路に前記 P チャネル MOS トランジスタと前記第 2 の N 型表面チャネル MOS トランジスタとを配置すると共に、メモリセルに前記第 1 の N 型表面チャネル MOS トランジスタを配置したことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 P 型不純物と N 型不純物の両方を含む N+ ゲートポリシリコンの不純物濃度分布において、少なくとも N 型不純物のポリシリコン上面の濃度がポリシリコン中の平均濃度よりも高いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 P 不純物と N 型不純物の両方を含む N+ ゲートを形成する際、少なくとも N 型不純物をイオン注入によってドーピングすることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 請求項 1 に記載の半導体装置を、3 種類の所望のゲート不純物濃度の領域を 2 枚のマスク工程で分割することにより製造することを特徴とする半導体装置の製造方法。

【請求項 6】 前記 N 型不純物と P 型不純物との両方をドーピングした N 型ポリシリコンを、リンとボロンを同時に活性化することによって形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記リンとボロンを同時に活性化することによって、ボロンの基板方向への拡散を抑制することを特徴とする請求項 6 に記載の半導体装置の

製造方法。

【請求項 8】 ポリメタル構造のゲート電極の D R A M を搭載した半導体装置において、

周辺回路に P 不純物と N 型不純物の両方を含む N + ゲートの P M O S と N + ゲート N M O S を配置すると共に、メモリセルに P 型不純物だけを含む P + ゲートの N M O S を配置したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、3 水準以上のフェルミレベルのポリシリコンからなるゲート電極構造の半導体装置（M O S 集積回路）に関し、特に、ポリメタル構造のゲート電極の D R A M を搭載した半導体装置（M O S 集積回路）に関する。

【0002】

【従来の技術】

まず、第 1 の従来技術による半導体装置（M O S 集積回路）の構成を図 1 2 に示す。

【0003】

第 1 の従来技術によれば、ゲートの作り分けにマスクを要しない。しかし、N ゲート P M O S が埋め込みチャネルとなるので、短チャネル特性が悪く駆動力が低い。

【0004】

次に、第 2 の従来技術による半導体装置（M O S 集積回路）の構成を図 1 3 に示す。

【0005】

第 2 の従来技術によれば、上記第 1 の従来技術の最大の欠点である P M O S の短チャネル特性を改善することによって、大きな駆動能力を得ることができる。また、メモリセルの接合電界を低減できる。しかし、以下の問題がある。

【0006】

P + ゲートの P 型不純物濃度は、周辺 P M O S の空乏化を小さくすることを中

心に決めなくてはならないため、結果的にP+ゲートのP型不純物濃度を高めに設定しなければならない。この結果、メモリセル、周辺PMOS共にボロン漏れに対するマージンが小さくなる。さらに、高い能力を得るには、2種類のゲートを作るのに2枚のマスクを要する。

【0007】

以下に、従来技術の欠点について詳細に説明する。

【0008】

(従来技術の欠点1)

ゲート空乏化とボロン突き抜けによるしきい値 (V_{th}) ばらつきとを同時に抑えることができない。

【0009】

図4には、p+ゲートに注入されたボロンの活性化率の熱処理依存性が示されている。長時間の熱負荷の加わる炉アニールと炉CVDでは、600℃以上でゲートポリシリコン中のボロンの不活性化 (deactivation) が顕著になる。この不活性化は、ゲート空乏化をもたらす。

【0010】

図5には、反転側の電氣的酸化膜厚とゲート不純物の濃度との関係を示している。ゲート不純物濃度が高いほど、ゲート空乏化が抑制されていることが分かる。

【0011】

図6には、しきい値 (V_{th}) ばらつきとゲート不純物濃度との関係が示されている。リンを注入されたn+ゲートでは、リン濃度が高いほど、 V_{th} ばらつきが小さくなっている。ゲート中のリンの濃度が高いほど、キャリアの縮退の程度が強まることによって、ゲートフェルミレベルが安定しているためである。

【0012】

一方、ボロンを注入されたp+ゲートでは、ボロン濃度が高いほど、 V_{th} ばらつきが増加している。この原因は、キャリアの縮退が強まる効果よりも、ゲート中のボロンが基板に突き抜ける影響の方が大きいためである。

【0013】

(従来技術の欠点2)

デュアルポリメタル構造ゲート電極におけるW/p+(n)ポリシリコン接触抵抗が大きい。

【0014】

図7には、ゲートシリコンへの不純物注入量と接触抵抗率との関係が示されている。n+ゲートについては、リンだけを注入した仕様と、リンとボロンの両方を注入した仕様との接触抵抗率の差は小さい。一方、p+ゲートについては、ボロンだけを注入した仕様と、ボロンとリンの両方を注入した仕様との接触抵抗率の差は極めて大きい。ボロンとリンの両方を注入した仕様の接触抵抗率は、ボロンだけを注入した仕様の10倍以上である。

【0015】

(従来技術の欠点3)

n-wellに対するボロン突き抜けの影響が大きい。

【0016】

図8には、 V_{th} ばらつきのゲートの導電型と基板の導電型との組み合わせに対する依存性が示されている。NMOSでは、p+ゲートとn+ゲートとの V_{th} ばらつきの差は4mVである。一方、PMOSにおいては、p+ゲートとn+ゲートとの V_{th} ばらつきの差は10mVである。つまり、ボロン突き抜けがトランジスタ特性に与える影響は、p-wellに対してよりもn-wellに対して大きく現れる。

【0017】

図9には、PMOSについて、 V_{th} ばらつきとゲートポリシリコン中の不純物の組み合わせに対する依存性が示されている。n+(p)ゲートの場合、n+ゲートと同等の V_{th} ばらつきであることから、ボロン突き抜けの影響は無視できる。

【0018】

【発明が解決しようとする課題】

(1) 「P+ゲートPMOSの空乏化」

電源電圧を低下させれば、消費電力を低減することができる。しかしながら、

電源電圧を下げれば、MOSトランジスタの駆動能力は低下する。このMOSトランジスタの性能低下を補うために、これまでプロセスの低温化を進めることによって、基板不純物プロファイルの制御性を向上させてきた。

【0019】

しかし、電源電圧が1.8V以下になると、特に、PMOSの駆動能力が不足してくる。その原因は、N+ゲートを採用しているため、PMOSのチャネルが埋め込みチャネルであることに起因したパンチスルー耐性確保のために、ゲート長を縮められないことである。

【0020】

さらに、駆動能力を高めるためにしきい電圧を低くしようとすれば、ボロンの濃度を高めなければならない。空乏層内の不純物濃度が高くなると、しきい電圧ばらつきが増加することが知られている。そこで、上記の問題のないP+ゲートPMOSの適用を検討した。ところが、下記に述べる問題のあることが分かった。

【0021】

0.2 μ mルール以降のDRAMでは、ワード線及びビット線ピッチが0.4 μ m以下となるので、メモリセルコンタクト穴はゲートに対してセルフアライン形成する必要がある。ゲート電極及びビット線とショートすることなくメモリセルコンタクト穴を形成するためには、メモリセルコンタクト穴エッチの際のエッチレートが、層間絶縁膜のエッチレートよりも小さい膜がゲート電極及びビット線上部及び側面になくてはならない。

【0022】

発明者らの試作においては、層間絶縁膜にはシリコン酸化膜を、ゲート電極及びビット線上部及び側面の膜にはシリコン窒化膜を用いた。隣り合ったゲート電極間のスペースが0.2 μ m程度以下の場合、ゲート電極またはビット線の側壁に用いるシリコン窒化膜には、良好なカバレッジが求められる。良好なカバレッジを得るには、低圧CVDを用いなければならない。低圧CVDのシリコン窒化膜の形成には、600℃から800℃の温度で3時間から5時間を要する。

【0023】

発明者らの実験によれば、600℃から800℃の長時間の熱処理を行うと、ポリシリコン中で活性化したN型及びP型の不純物の不活性化（deactivation）が顕著であることが分かっている。ポリシリコンゲート電極を用いた場合には、ポリシリコン中に導入した不純物の不活性化が起こる。ゲート電極の不活性化は、ゲートに反転電位を与えたときに、ゲート酸化膜近傍のゲート電極側のキャリアが空乏化する厚さが増加する。このゲート空乏化は、実効的にゲート酸化膜厚が厚くなったのと等価であるので、MOSトランジスタの駆動能力を低下させ、かつ、短チャネル特性を劣化させる。

【0024】

ゲートポリシリコンの空乏化は、ゲート不純物濃度を高めれば改善できる。N+ゲートでは、たとえば、N型不純物としてリンを用いた場合、リンの固溶度は通常用いられる1000℃程度のRTAで約 $1 \times 10^{21} \text{ cm}^{-3}$ である。前述の600℃から800℃の長時間の熱処理によって、仮に50%が不活性化したとしても、 $5 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度が確保される。また、リンはゲート酸化膜を突き抜けて拡散する確率が低いので、MOSトランジスタのしきい値を変動させることは無視できる。

【0025】

一方、P+ゲートにおいてP型不純物としてボロンを用いた場合、ボロンの固溶度は前述の条件で約 $1 \times 10^{20} \text{ cm}^{-3}$ である。ボロンは、ゲート酸化膜中の拡散係数が大きいので、比較的低温の熱処理でも基板にまで到達する（ボロン突き抜け）ことによって、MOSトランジスタのしきい電圧が変動すると同時に、そのばらつきをも増加させる。

【0026】

低圧CVDでシリコン窒化膜を形成する600℃から800℃の長時間の熱処理中には、不活性化だけでなく、ボロン突き抜けも同時に発生することになる。ボロン突き抜けと空乏化とはトレードオフの関係にあるので、ボロン突き抜けを低減しようとしてボロン濃度を低下させれば、空乏化は顕著になる。

【0027】

以上から、DRAM向けデュアルゲートトランジスタにおいては、P+ゲート

PMOSの空乏化の対策が困難であることが分かる。

【0028】

そこで、N+ゲートにボロンをドーピングすることによって、フェルミレベルの比較的低いN+ゲート（N+（P）ゲート）を形成することを検討した。N+（P）ゲートPMOSでは、ゲート空乏化の問題はなくなるだけでなく、チャネルの埋め込みの度合いを小さくできるので、当初の課題であった短チャネル特性を改善することができる。

【0029】

特に、N+（P）ゲートのフェルミレベルが基板のフェルミレベルよりも低くした場合には、表面チャネルにできる。また、発明者らは、リンとボロンが混在する場合には、ボロンの拡散係数がボロン単独の場合よりも小さくなることを実験で確認している。この原因は、リン-ボロン対が形成されるためであると考えられている。

【0030】

この結果、ボロンが酸化膜を突き抜ける確率が低くなり、ボロン単独のときよりもしきい電圧ばらつきを減少できることも、発明者らは確認している。同時に、基板空乏層内の不純物濃度が低いので、しきい電圧ばらつきもN+PMOSより小さくすることができる。

【0031】

（2）「メモリセルのリフレッシュサイクル延長」

DRAMのメモリセルでは、キャパシタに蓄えた電荷が消失する前に、情報の再書き込みを行う。この再書き込みに要する電力は、携帯機器等に今後普及することが予想される超低消費電力DRAMのセルフリフレッシュ（self-refresh）モードでは支配的な要因になる。このリフレッシュサイクルを延長することができれば、消費電力を効果的に低減することができる。

【0032】

キャパシタに蓄えられた電荷は、トンネル電流としてキャパシタの絶縁膜を通じて対向電極に流れる成分と、基板との接合電界によってバンド間トンネリングで基板に流れる成分とに分けられる。対向電極に書き込み電位の二分の一を印加

しておく一般的な構成のDRAMの100℃におけるリーク電流成分は、対向電極に流れる成分は、およそ $1\text{E}-15\text{A/bit}$ 、基板に流れる成分は、およそ $1\text{E}-14\text{A/bit}$ であるので、後者が支配的である。

【0033】

基板に流れる成分は、キャパシタ下部電極電位のN型拡散層と負電位に逆バイアスされたP型拡散層との接合電界を小さくすれば低減できる。不純物濃度を下げれば、接合電界を低減できるが、N型拡散層濃度を下げれば寄生抵抗が増し、基板濃度を下げればオフ電流を増加させることになる。

【0034】

そこで、基板濃度を下げても高いしきい電圧を確保するために、ゲート電極とP型基板とのフェルミレベル差の小さいP+ゲートNMOSを適用することを検討した。P+ゲートNMOSのゲート電極は空乏化することはないので、ボロン突き抜けに注意して、ゲートに導入するボロンの濃度を比較的少なめに設定することができる。

【0035】

P+ゲートNMOSの場合、ゲート電極下部のPウェルの空乏層幅がN+ゲートの場合よりも狭くなるので、GIDL (Gate Induced Drain Leakage) は、N+ゲートNMOSに比べて大きくなるというデメリットもあるが、ゲートのフェルミレベルの調整などによって接合電界緩和との最適化ができる範囲内である。

【0036】

(3) 「ワード線抵抗の低減」

DRAMでは、チップ面積を小さくするために、ワード線駆動回路等の周辺回路の面積を減らす目的で、ワード線はできるだけ長くしたい。ワード線長さは、主にRC時定数で制限される。つまり、ワード線抵抗とワード線寄生容量は小さいことが好ましい。そこで、従来から、ワード線はポリサイド構造にすることが多かった。

【0037】

ところが、ポリサイド構造のデュアルゲートを考えた場合、P型ポリシリコン

中のボロンがシリサイド内を拡散することによってP型ポリシリコン中のボロン濃度が低下しやすいという問題と、P型ポリシリコンに接続されたN型ポリシリコン中のN型不純物の濃度を変動させるという問題がある。

【0038】

そこで、不純物拡散を抑えると同時に低抵抗を実現するため、ポリメタル構造を検討した。ポリメタル構造においては、上部金属とポリシリコンとのシリサイド反応を抑えるために、間に窒化タングステンなどのバリア層を形成する必要がある。900℃程度のソース・ドレインの活性化アニール後には、バリア層が窒化タングステンの場合には、タングステン、シリコン、窒素からなるアモルファス層が形成されることが知られている。発明者らは、このアモルファス層を介したタングステンとポリシリコンの接触抵抗が、ポリシリコンのキャリア濃度に依存することを確認している。

【0039】

N+ポリシリコンとタングステンとの接触抵抗のキャリア濃度依存性は、図7に示すように、N型不純物単独の場合と、P型不純物を混在させた場合とで同じ傾向を示すことを発明者らは確認している。タングステンとポリシリコンの接触抵抗を下げるためには、N+ (P) ポリシリコンを形成する際、N型不純物、たとえば、リンをイオン注入することによって、N+ (P) ポリシリコンの表面キャリア濃度をバルク中の平均濃度よりも高めることが有効である。

【0040】

一方、P+ポリシリコンの場合、N型不純物を混在させると、P型不純物単独の場合と比較して、タングステンとの接触抵抗のキャリア濃度依存性が顕著になることも発明者らは実験で確認している。従って、ポリメタル構造の場合は、P+ポリシリコンは、P型不純物単独、または、N型不純物濃度を十分低く抑えたP型ポリシリコンであった方が好ましい。

【0041】

そこで、本発明は、上記従来技術の問題点に鑑みて成されたものであり、その目的とするところは、DRAMの周辺回路のPMOSの性能を改善すること、ワード線抵抗を低減すること、及びメモリセルの接合電界を緩和することの3点を

同時に達成するためのDRAM特有のトランジスタを提供することにある。

【0042】

【課題を解決するための手段】

本発明では、3水準以上のフェルミレベルのポリシリコンからなるゲート電極構造の半導体装置において、最もフェルミレベルの低いP型ポリシリコンを第1のN型表面チャネルMOSトランジスタに、最もフェルミレベルの高いN型ポリシリコンを第2のN型表面チャネルMOSトランジスタに、上記の中間のフェルミレベルを有し、かつN型不純物とP型不純物との両方をドーピングしたN型ポリシリコンをPチャネルMOSトランジスタにそれぞれ配置したことを特徴とする。

【0043】

上記構成の下、前記ゲート電極構造と基板の導電型との組み合わせで、周辺回路に前記PチャネルMOSトランジスタと前記第2のN型表面チャネルMOSトランジスタとを配置すると共に、メモリセルに前記第1のN型表面チャネルMOSトランジスタを配置した。

【0044】

この場合、P型不純物とN型不純物の両方を含むN+ゲートポリシリコンの不純物濃度分布において、少なくともN型不純物のポリシリコン上面の濃度がポリシリコン中の平均濃度よりも高い。

【0045】

また、P不純物とN型不純物の両方を含むN+ゲートを形成する際、少なくともN型不純物をイオン注入によってドーピングする。

【0046】

また、本発明では、前記半導体装置を、3種類の所望のゲート不純物濃度の領域を2枚のマスク工程で分割することにより製造することを特徴とする。

【0047】

この際、前記N型不純物とP型不純物との両方をドーピングしたN型ポリシリコンを、リンとボロンを同時に活性化することによって形成する。前記リンとボロンを同時に活性化することによって、ボロンの基板方向への拡散を抑制する。

【0048】

また、本発明では、ポリメタル構造のゲート電極のDRAMを搭載した半導体装置において、周辺回路にP型不純物とN型不純物の両方を含むN+ゲートのPMOSとN+ゲートNMOSを配置すると共に、メモリセルにP型不純物だけを含むP+ゲートのNMOSを配置したことを特徴とする。

【0049】

【発明の実施の形態】

図1を参照すると、本発明の実施の形態として、ゲート電極中の不純物の導電型と基板中の不純物の伝導型との組み合わせの断面が示されている。この際、ゲートポリシリコンへの不純物は2枚のマスクを用いて、イオン注入によって導入する。

【0050】

ポリメタル構造のゲート電極のDRAMまたはDRAMを搭載したLSI10において、周辺回路にN+(P)ゲートPMOS11とN+ゲートNMOS12を、メモリセルにP+ゲートNMOS13をそれぞれ配置する。

【0051】

具体的には、N+(P)ゲートPMOS11はn-well14中に形成され、N+ゲートNMOS12はp-well15中に形成され、P+ゲートNMOS13はp-well16中に形成されている。

【0052】

N+(P)ゲートPMOS11、N+ゲートNMOS12及びP+ゲートNMOS13上には、ポリシリコン17が形成され、ポリシリコン17上には、窒化タンゲステン(WN)18が形成されている。さらに、窒化タンゲステン(WN)18上には、タンゲステン(W)19が形成され、タンゲステン(W)19上には、P-SiN20が形成されている。ここでバリアメタルの材料は、WNに限定されず、窒化モリブデン(Mo)などの別の材料であっても良い。また、積層構造についても、W/WN/ポリシリコンに限定されず、Mo/MoN/ポリシリコン、W/WN/WSi/ポリシリコン、Mo/MoN/MoSi/ポリシリコンなどであっても良い。

【0053】

図2には、図1に示されたDRAMを製造するための製造工程が示されている。

【0054】

図2(a)に示すように、アモルファスシリコン21を低圧CVD法を用いて、ゲート絶縁膜上に堆積する。ここで、アモルファスシリコン21の膜厚は、例えば100nmであり、不純物はドーピングされていない。

【0055】

次に、レジスト22でメモリセル以外のp-well15上を覆うことによって、メモリセルのp-well16及び周辺回路のn-well14上のアモルファスシリコン21にボロンをイオン注入する。ボロンのイオン注入の条件は、例えば、エネルギー5keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ である。

【0056】

図2(b)に示すように、レジスト23でメモリセルのp-well16上を覆うことによって、メモリセル以外の周辺回路のp-well15及びn-well14上のアモルファスシリコン21にリンをイオン注入する。リンのイオン注入の条件は、例えば、エネルギー10keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ である。

【0057】

レジスト22, 23の剥離後、 NH_4OH と H_2O_2 の混合液を用いて、アモルファスシリコン21の表面を清浄にすると同時に、ケミカルオキサイドを形成する。アモルファスシリコン21にイオン注入されたボロン及びリンを活性化するためにアニールを行う。アニールの条件は、例えば、950℃、10秒、 N_2 雰囲気である。

【0058】

N_2 中に O_2 を微量混入することが好ましい。例えば O_2 の比率は1%である。アニールの際、上記ケミカルオキサイドがボロン及びリンの外方拡散を抑制する。また、微量の O_2 が、ポリシリコン上面が窒化されることを防ぐ。 H_2O で希釈されたHFを用いて、ポリシリコン上面のシリコン酸化膜を除去する。

【0059】

図2(c)に示すように、ポリシリコン17上に窒化タングステン(WN)18、タングステン(W)19をスパッタ法を用いて堆積する。それぞれの膜厚は、例えば、WN18が5nm、W19が60nmである。W19上にプラズマCVD法を用いて、SiN20を堆積する。SiN20の膜厚は、例えば、120nmである。

【0060】

次に、図2(d)に示すように、レジストマスク(図示せず)を用いて、ゲート電極をパターンニングする。レジストを除去した後、NMOS24には、リンまたはヒ素をイオン注入する。リンのイオン注入の条件は、例えば、エネルギー10keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ である。ヒ素のイオン注入条件は、例えば、エネルギー10keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ である。

【0061】

一方、PMOS25にはBF₂をイオン注入する。BF₂のイオン注入条件は、例えば、エネルギー10keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ である。イオン注入されたリン、ヒ素、及びBF₂を活性化するために、アニールを行う。アニールの条件は、例えば、950℃、10秒、N₂雰囲気である。ゲート電極側面に露出したWを酸化させないために、N₂中にO₂を混入することは好ましくない。

【0062】

図2(e)に示すように、トランジスタの高濃度のソース・ドレインを形成する前に、ゲート側面にスペーサ26を形成する。スペーサ26を形成する膜には良好なカバレッジが要求されるので、例えば、低圧CVD法を用いたSiN膜であり、膜厚は30nmである。ソース・ドレイン形成以降の手順は、よく知られたDRAMの製法と同じである。

【0063】

本発明の実施の形態によれば、電源電圧1.8V以下の世代のDRAMまたはDRAMを搭載したLSIにおいて、周辺PMOSの能力を改善すると同時に、リフレッシュサイクルを長くすることができる。この結果、DRAMの消費電力を低減することができる。

【0064】

ここで、下記(1)の理由によって電源電圧を低下させることができ、下記(2)の理由によってリフレッシュサイクルを延長させることができる。この二つの効果によって、DRAMの消費電力を小さくすることが可能になる。

【0065】

(1) n+ゲートPMOSのゲートポリシリコンのフェルミレベルを低く設定することができるので、チャンネルに注入するp型不純物量を低減することができる。この結果、チャンネルの埋め込みの程度が改善され、短チャンネル特性が改善する。従来構造のトランジスタとオフ電流(I_{off})を同じにすれば、ゲート長 L を小さくすることができるので、オン電流(I_{on})を大きくすることができる。

【0066】

図11には、N+(P)ポリシリコンゲートのPMOSにおける、チャンネルへのボロン注入量低減効果が示されている。

【0067】

本発明のトランジスタにおいては、PMOSのゲートポリシリコンのゲート酸化膜近傍のフェルミレベルを0.1 eV下げれば、n-wellに注入するボロンの量を約10%低減できる。図11の例では、ゲート酸化膜近傍のN+ゲートのフェルミレベルを0.1 eV下げるには、ゲート酸化膜近傍のポリシリコン中のドナー濃度とアクセプター濃度との差を $7.0 \times 10^{19} \text{ cm}^{-3}$ から $2.5 \times 10^{17} \text{ cm}^{-3}$ に減少させることによって実現できる。リンのイオン注入ドーズ量に換算すると、 $4.0 \times 10^{15} \text{ cm}^{-2}$ から $1.0 \times 10^{14} \text{ cm}^{-2}$ に減少させることに相当する。n-wellに注入したボロン濃度を低減する効果は、P型チャンネルの埋め込みの程度を低減することができる。埋め込みの程度を低減すれば、s係数を小さくすることができる。

【0068】

さらに、図10に示すように、リンとボロンの両方をイオン注入されたアモルファスシリコンをアニールすることによって、リンとボロンの拡散と活性化を同時に行うと、リンがボロンの拡散を抑制するので、ボロンがゲート酸化膜を突き抜

ける確率を小さくできる。

【0069】

この現象をトランジスタ特性によって確認した結果が図9に示されている。

【0070】

N+ (P) ポリシリコンゲートのPMOSのしきい値 (V_{th}) ばらつきは、n+ポリシリコンゲートのPMOSの V_{th} ばらつきと同等であるので、ボロン突き抜けの影響は無視することができる。

【0071】

(2) メモリセルにp+ゲートNMOSを用いれば、 V_{th} を高くするためのチャネルに注入するp型不純物の濃度を下げることができる。この結果、ソース・ドレイン (SD) の低濃度n型拡散層と基板との間の接合電界を小さくすることができる。メモリセルのリーク電流の支配的要因であるpn接合リークを低減できるので、リフレッシュサイクルを延長することができる。

【0072】

本発明のトランジスタにおいて、p+ゲートNMOSを採用することによって、n+ゲートNMOSに比べて、ボロンドーズ量を約 $1 \times 10^{13} \text{ cm}^{-2}$ 減少させることができた。この結果、メモリセルのn層とp-well間の接合電界を著しく低減することが可能であり、pn接合リーク電流を低減することができる。

【0073】

さらに、図8に示されているように、p-wellに対するボロン突き抜けの影響は、n-wellに対するボロン突き抜けの影響に比べて軽微である。

【0074】

図3には、図1に示されたDRAMを製造するための他の製造工程が示されている。

【0075】

まず、図3 (a) に示すように、アモルファスシリコン21を低圧CVD法を用いて、ゲート絶縁膜上に堆積する。ここで、アモルファスシリコン21の膜厚は、例えば100nmであり、ボロンがドーピングされている。ボロンの濃度は、例

えば、 $1 \text{ E } 20 \text{ cm}^{-3}$ である。

【0076】

次に、レジスト30でメモリセルのp-w e l l 1 6上と周辺回路のn-w e l l 1 4上を覆うことによって、メモリセル以外のp-w e l l 1 5上のアモルファスシリコン21にリン1をイオン注入する。リン1のイオン注入の条件は、例えば、エネルギー 10 keV 、ドーズ量 $6 \text{ E } 15 \text{ cm}^{-2}$ である。

【0077】

図3(b)に示すように、レジスト31でp-w e l l 1 5, 16上を覆うことによって、周辺回路のn-w e l l 1 4上のアモルファスシリコン21にリン2をイオン注入する。リン2のイオン注入の条件は、例えば、エネルギー 10 keV 、ドーズ量 $2 \text{ E } 15 \text{ cm}^{-2}$ である。

【0078】

以降の手順(図3(c)～(e))は、図2に示された製造方法と同じであるので、その説明は省略する。

【0079】

【発明の効果】

本発明によれば、電源電圧 1.8 V 以下の世代のDRAMまたはDRAMを搭載したLSIにおいて、周辺PMOSの能力を改善すると同時に、リフレッシュサイクルを長くすることができる。この結果、DRAMの消費電力を低減することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態による半導体装置の構成を示す図である。

【図2】

図1に示された半導体装置の製造方法を示す図である。

【図3】

図1に示された半導体装置の他の製造方法を示す図である。

【図4】

P+ゲートキャリア濃度の熱処理依存性を示す図である。

【図 5】

反転側の電氣的酸化膜厚とゲート不純物の濃度との関係を示す図である。

【図 6】

V_{th} ばらつきとゲート不純物濃度との関係を示す図である。

【図 7】

ゲートシリコンへの不純物注入量と接触抵抗率との関係を示す図である。

【図 8】

V_{th} ばらつきのゲートの導電型と基板の導電型との組み合わせに対する依存性を示す図である。

【図 9】

PMOS について、 V_{th} ばらつきとゲートポリシリコン中の不純物の組み合わせに対する依存性を示す図である。

【図 10】

ボロンがゲート酸化膜を突き抜ける確率に関するデータを示す図である。

【図 11】

$N^+(P)$ ポリシリコンゲートの PMOS におけるチャネルへのボロン注入量低減効果を示す図である。

【図 12】

第 1 の従来技術による半導体装置 (MOS 集積回路) の構成を示す図である。

【図 13】

第 2 の従来技術による半導体装置 (MOS 集積回路) の構成を示す図である。

【符号の説明】

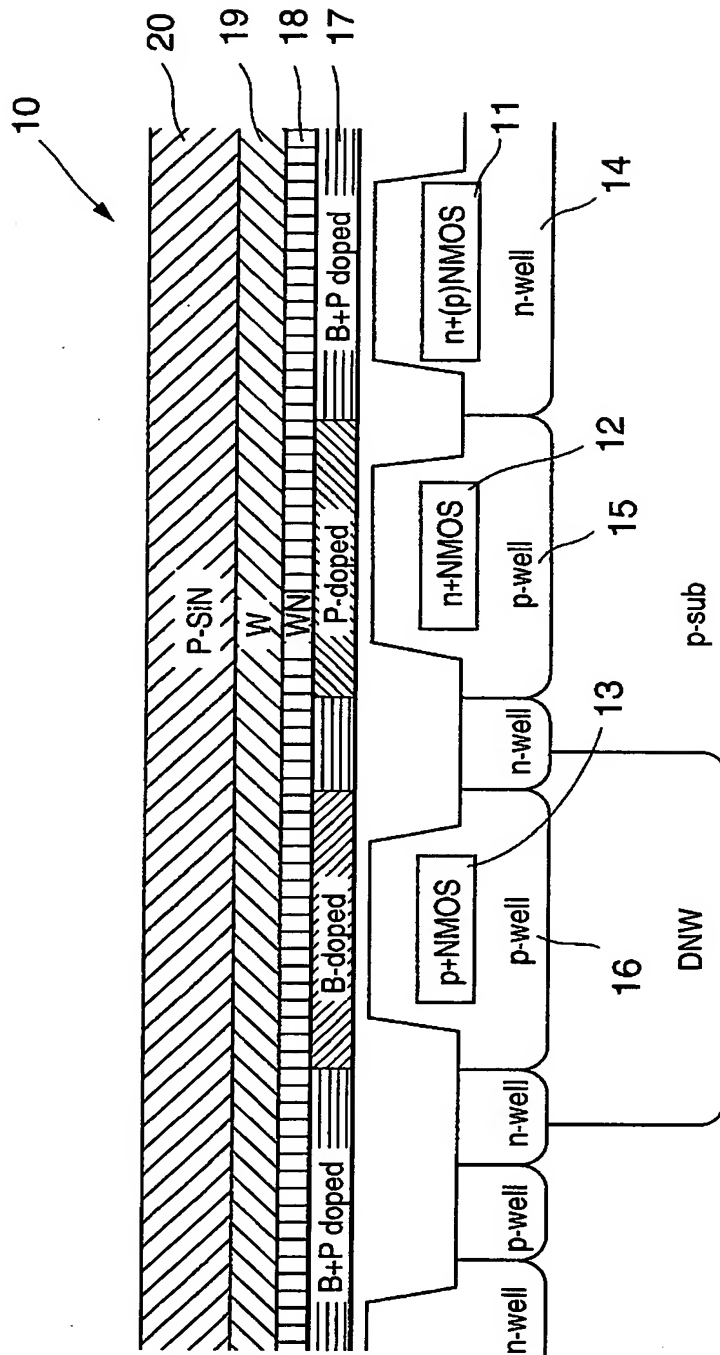
- 10 LSI
- 11 $n^+(P)$ PMOS
- 12 n^+ NMOS
- 13 p^+ NMOS
- 14 n -well
- 15 p -well
- 16 p -well

- 17 ポリシリコン
- 18 WN
- 19 W
- 20 P-SiN
- 21 アモルファスシリコン
- 22 レジスト
- 23 レジスト

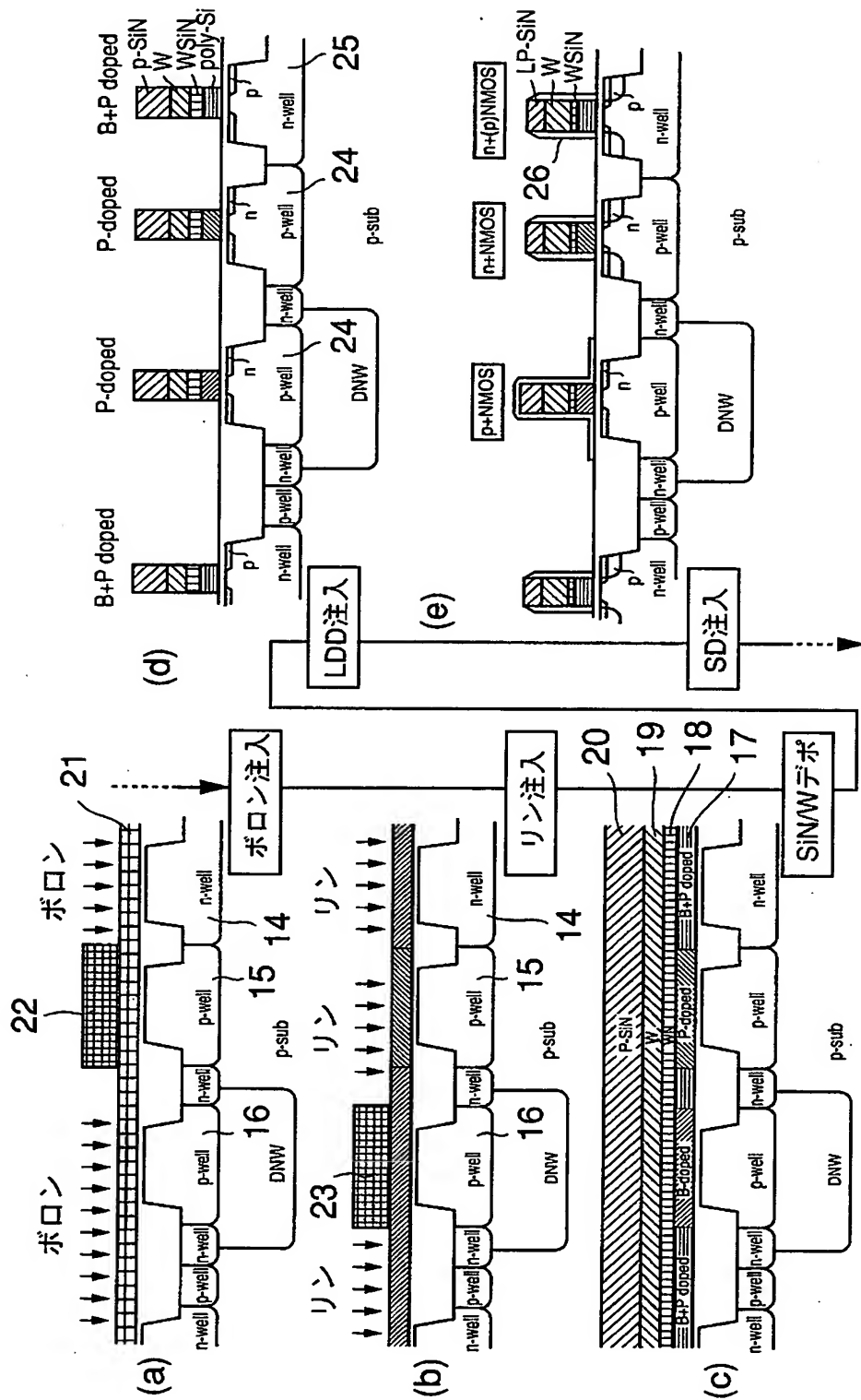
【書類名】

凶面

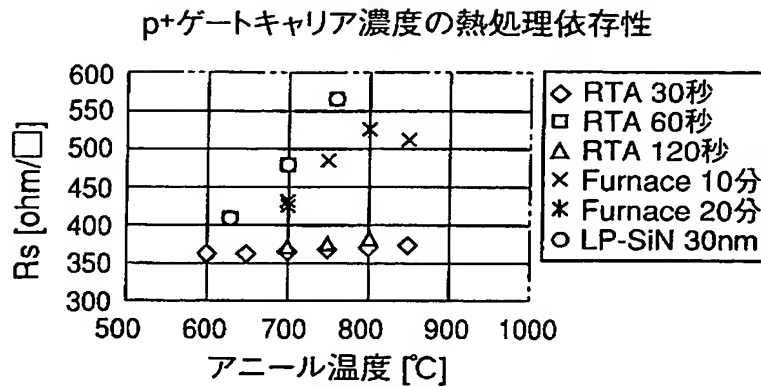
【圖 1】



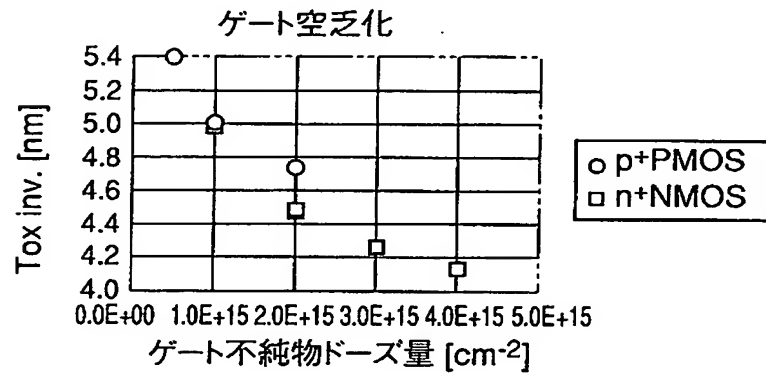
【図2】



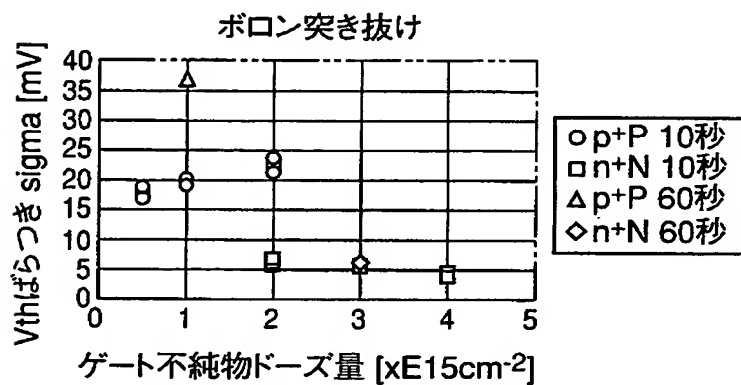
【図 4】



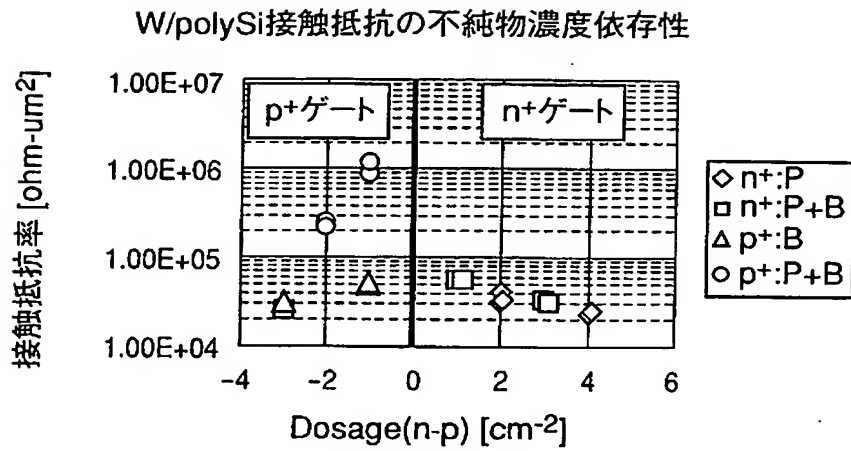
【図 5】



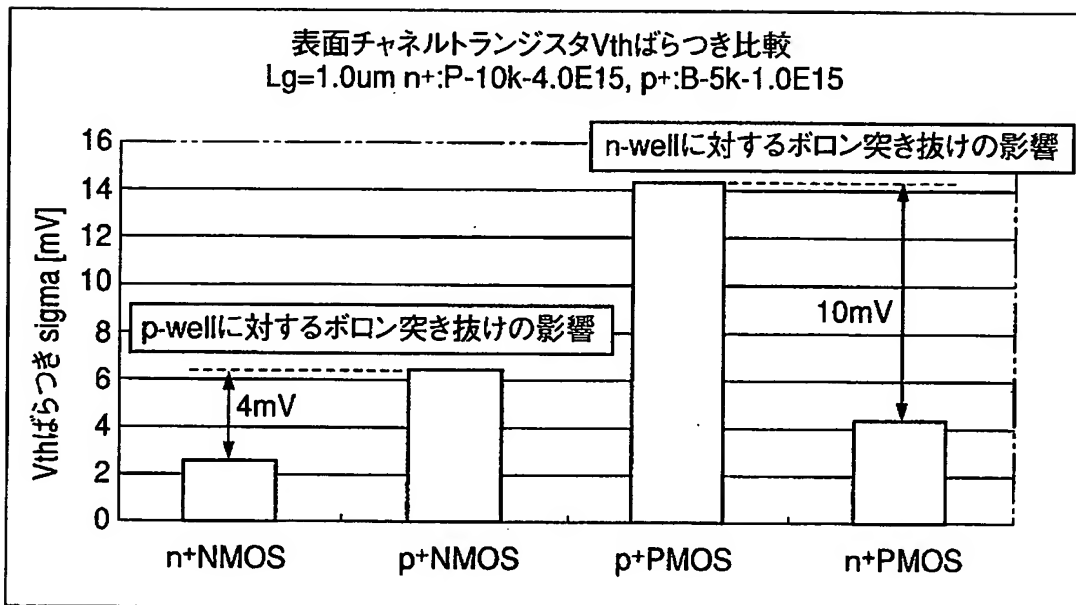
【図 6】



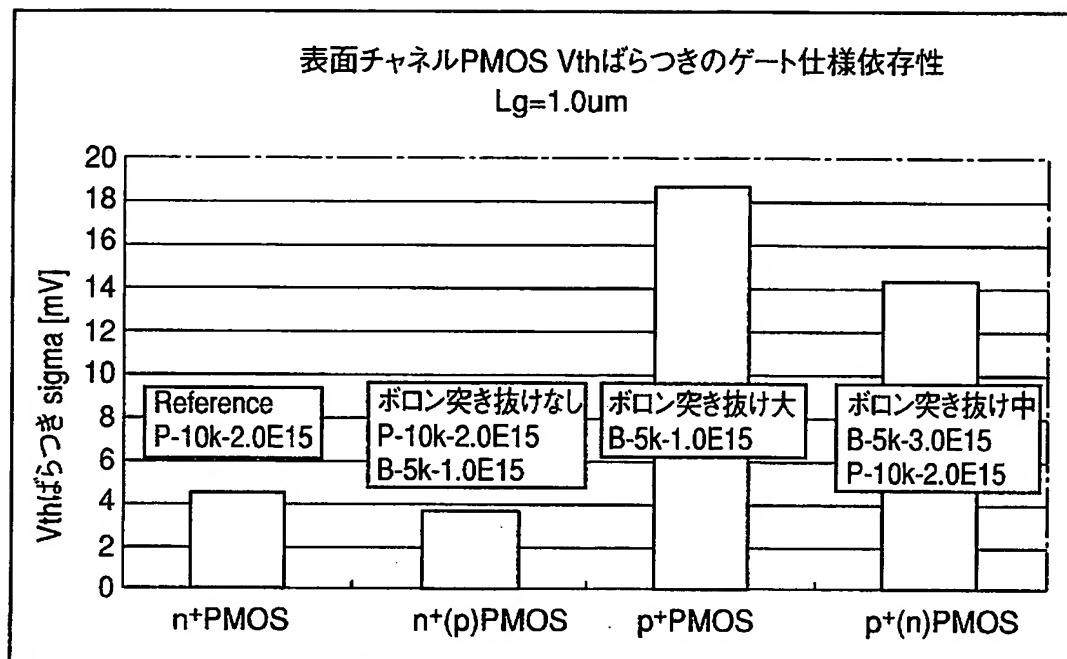
【図 7】



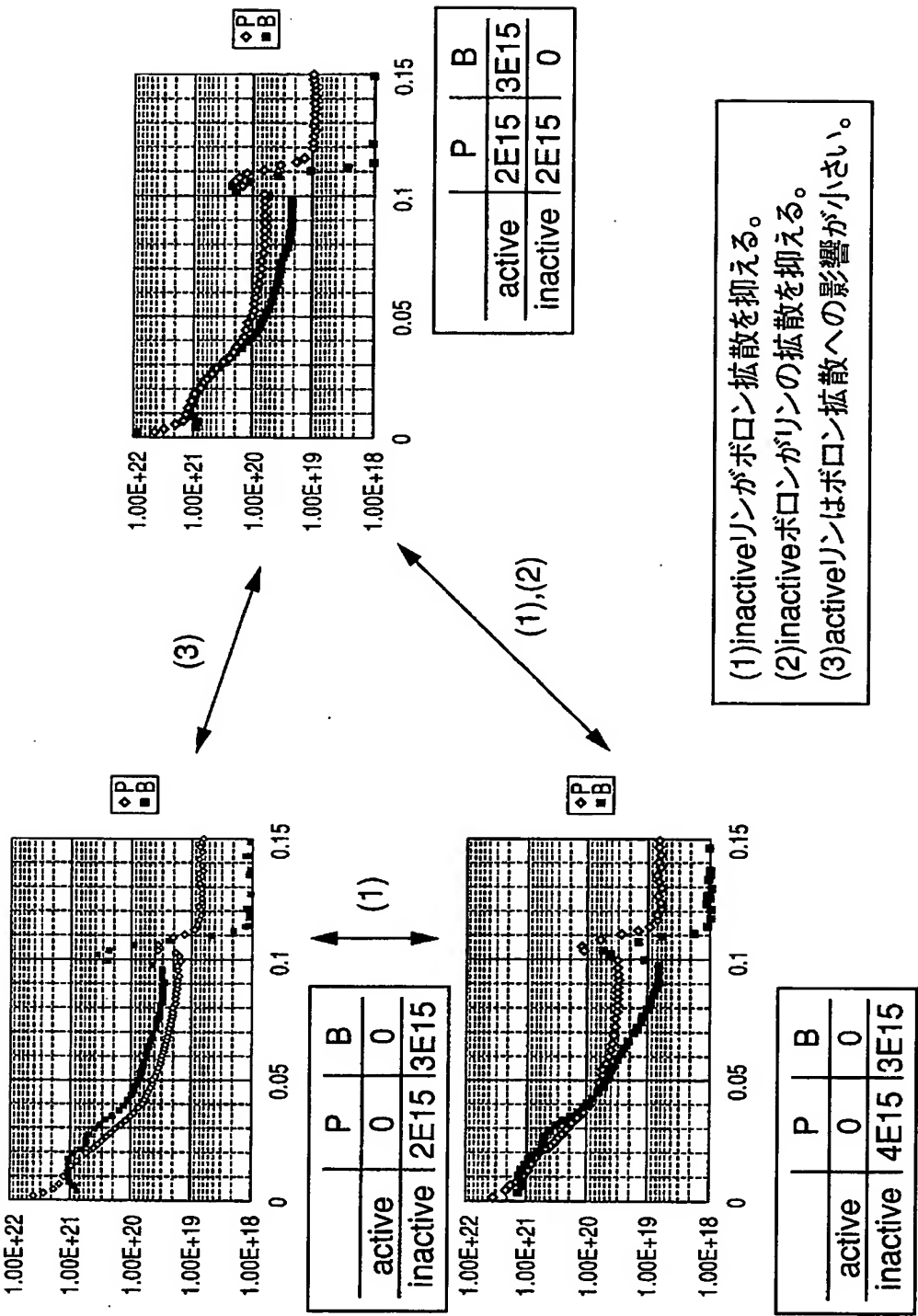
【図 8】



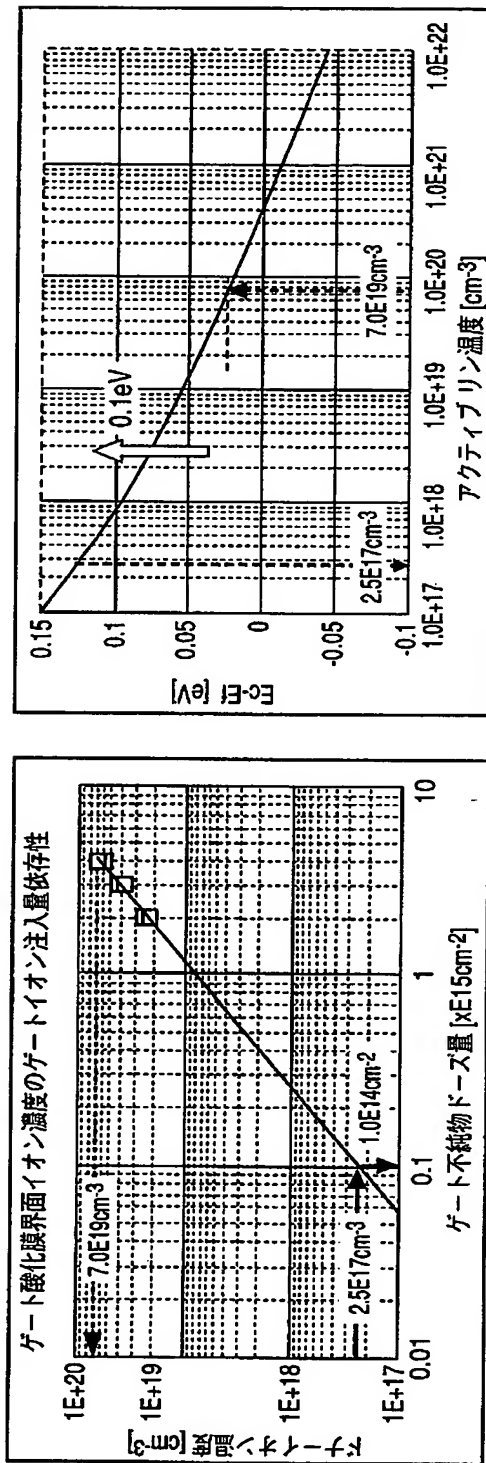
【図 9】



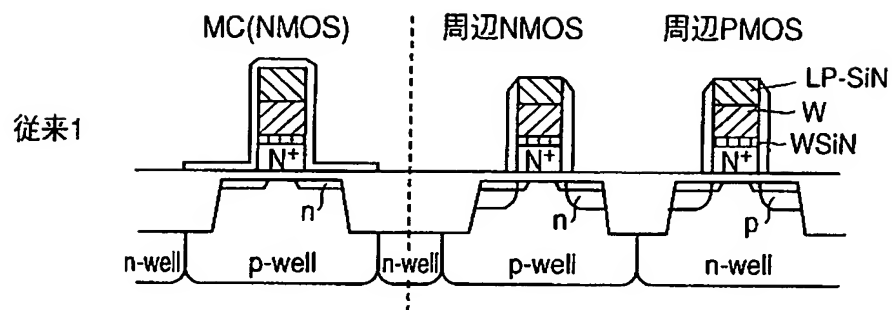
【図 10】



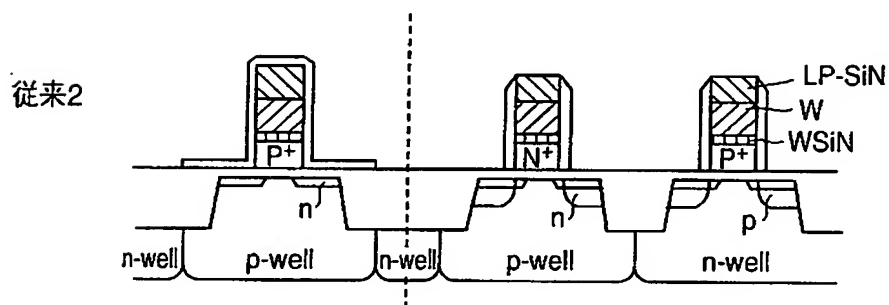
【図 11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 D R A M の周辺回路の P M O S の性能を改善すること、ワード線抵抗を低減すること、及びメモリセルの接合電界を緩和することの 3 点を同時に達成するための D R A M 特有のトランジスタを提供する。

【解決手段】 3 水準以上のフェルミレベルのポリシリコンからなるゲート電極構造の半導体装置であって、最もフェルミレベルの低い P 型ポリシリコンを第 1 の N 型表面チャネル M O S トランジスタ 1 3 に、最もフェルミレベルの高い N 型ポリシリコンを第 2 の N 型表面チャネル M O S トランジスタ 1 2 に、上記の中間のフェルミレベルを有し、かつ N 型不純物と P 型不純物との両方をドーピングした N 型ポリシリコンを P チャネル M O S トランジスタ 1 1 にそれぞれ配置した。

【選択図】 図 1

特願 2 0 0 2 - 2 4 6 2 8 7

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社

特願 2 0 0 2 - 2 4 6 2 8 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所